



UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
FACULTAD DE INGENIERIA
ESCUELA DE CIENCIAS Y SISTEMAS

NOMBRE DEL CURSO: Arquitectura de Computadoras y Ensambladores 1

CODIGO:	778	CREDITOS:	5
ESCUELA:	Ciencias y Sistemas	AREA:	Ciencias de la Computación
PRERREQUISITO:	796 964	POSTREQUISITO:	281 779 970
CATEGORIA:	Obligatorio	SECCION:	A
HORAS POR SEMANA DEL CURSO:	4	HORAS POR SEMANA DE LABORATORIO:	2
DIAS QUE SE IMPARTE EL CURSO:	Martes Jueves	DIAS DE LABORATORIO	Viernes
HORARIO DEL CURSO:	10:40 - 12:20	HORARIO DE LABORATORIO:	9:00 - 10:40

DESCRIPCIÓN DEL CURSO

En el presente curso estudiaremos la arquitectura de los microprocesadores de la línea tecnológica CISC, de la marca INTEL, y que forman el corazón de los computadores personales actuales, gracias al curso de Organización Computacional, el estudiante puede entender las características de índole técnico que conforman la base sobre la cual este tipo de procesador ha sido desarrollado. El conocimiento de esta arquitectura, sin embargo, termina siendo el trampolín desde el cual el estudiante conoce, aprende y practica el lenguaje ensamblador. Lenguaje que es de suma importancia cuando llegamos a comprender que es la base de los lenguajes estructurados y el único nexo de estos con el hardware y firmware del computador. Es también tarea del curso motivar al estudiante al aprendizaje del lenguaje ensamblador haciendo énfasis en la utilidad de este, instruyéndolo para comprender que este lenguaje es una herramienta eficaz en el acceso al conocimiento de la arquitectura de los procesadores arriba citados y el dominio del ensamblador, el estudiante es adiestrado en la arquitectura elemental de un computador comercial, ejemplo: DMA, Buses y su manejo, Interfaces básicas, Interrupciones y su manejo, todo en modo real. Finaliza el curso presentado al estudiante la forma de trabajo y administración de memoria en modo protegido así como los fundamentos de la arquitectura y trabajo de los procesadores RISC.

OBJETIVOS GENERALES

1. Que el estudiante conozca la arquitectura básica de un computador personal, basado en procesador de la marca INTEL, línea CISC.
2. Que el estudiante conozca y consolide sus conocimientos acerca del lenguaje ensamblador, tomando como base el procesador 80286.
3. Que el estudiante adquiera conocimientos suficientes de procesadores de la línea CISC y RISC, comparando características para consolidar criterio.

Objetivos Específicos:

1. Que el estudiante conozca la ingeniería volcada sobre la arquitectura de los microcomputadores INTEL y que ha sido la causa que les ha brindado tanto éxito.
2. Que el estudiante conozca los principales procedimientos de manejo y administración de buses, memoria, interrupciones, transmisores de datos, etc.
3. Que el estudiante conozca y domine el lenguaje ensamblador, de tal forma que apoyado con los puertos de salida aplique sus conocimientos a un proyecto final de interlazamiento.

METODOLOGÍA

4 períodos de clases magistrales distribuidos en dos días a la semana, más 1 clase guiada de índole práctica una vez por semana con una duración de 2 periodos. Tanto en la clase magistral como en la guiada de índole práctica, se verificarán las siguientes dinámicas.

Trabajos de investigación recibidos y discutidos en clase.

Ejercicios a desarrollar tanto individual como en grupo.

Motivación a la participación en clase a través de puntos ganados y acumulados a zona.

Demostraciones tipo prácticas guiadas por el catedrático, sobre computadores de tipo industrial, o consolidaciones prácticas de conocimiento adquiridos para PC comerciales.

EVALUACIÓN DEL RENDIMIENTO ACADÉMICO:

Según el Reglamento General de Evaluación y Promoción del Estudiante de la Universidad de San Carlos de Guatemala, la zona tiene valor de 75 puntos, la nota mínima de promoción es de 61 puntos y la zona mínima para optar a examen final es de 36 puntos.

De acuerdo con el Normativo de Evaluación y Promoción del estudiante de pregrado de la Facultad de Ingeniería, se procederá así:

Procedimiento	Instrumento de Evaluación	Ponderación
Asignación por tema	(3) Exámenes parciales 14 puntos c/u	42%
	Tareas, Cortos e investigación	03%
	Laboratorio	<u>30%</u>
	Total de la zona	75%
Unidad 4, 3, 2 y 1	Evaluación final	<u>25%</u>
Nota de Promoción		100%

CONTENIDO DEL CURSO:

UNIDAD No. 1: "ARQUITECTURA DE LOS CPU'S INTEL X86 AL PENTIUM II"

- El CPU básico, arquitectura von Neumann, línea CISC
- Buses genéricos
- Ciclos de trabajo de un CPU
- Administración de memoria lineal
- Historia de los CPU INTEL (tarea d estudio, capitulo 1 libro de texto)
- Arquitectura de los CPU INTEL, específicamente el 286 de INTEL, unidades internas, tamaño de buses, colas de búsqueda y de decodificación, aparición de los 2 modos de direccionamiento de INTEL: modo real y modo protegido
- Banderas de los CPU INTEL, utilización concatenación con software, tipos de banderas: simples y compuestas (carry, zero, parity, etc) (above, below, greather than, less than, etc)
- Importancia del ALU Y REGISTRO BANDERAS JUNTOS, en la implementación de rombos de decisión.
- Organización de los registros en los CPU INTEL
- Modo de administración por segmentación o modo real
- Modos de direccionamiento: Técnica de clasificación de software no convencional, utilísima para cualificar una tarea sin conocer al CPU a detalle.

Esta unidad comprende los capítulos No. 1,2,3 del libro de texto y notas de aula
Esta unidad es evaluada en el **Primer Examen Parcial**

UNIDAD No. 2: “PROGRAMACION A BAJO NIVEL EN LOS CPU INTEL”

- Instrucciones de movimiento de información de memoria-memoria, memoria-CPU, CPU-memoria, CPU-puertos y viceversa. En plataformas de 8,16 o 32 bits.
- Instrucciones aritméticas y lógicas.
- Instrucciones de salto condicionado y no condicionado. Y los tipos de saltos: Condicionados, No condicionados, Relativos, No relativos, y las banderas involucradas, tanto las simples como las compuestas.
- Instrucciones de entrada y salida a puertos
- Ejercicios de programación a bajo nivel. Con memoria como: ordenamientos, sumas de números grandes de 64 bits almacenados en memoria, entrada y salida de información a puertos, etc.
- Instrucciones de Corrimiento y rotación. Se hace énfasis en que ellas pueden dividir y multiplicar, pero con mucho menos tiempo de ocupación del CPU que una de división o multiplicación sin punto flotante.
- Retardos por software. Ejercicios de Aplicación

Esta unidad comprende los capítulos No. 4,5,6 del libro de texto y notas de aula Esta unidad es evaluada en el **Segundo Examen Parcial**

UNIDAD No. 3: “INTERRUPCIONES Y TRANSMISION SERIAL ”

- Técnicas de atención a puertos por parte del CPU:
 - POLLING
 - INTERRUPCION POR SOFTWARE
 - INTERRUPCION POR HARDWARE NO ENMASCARABLE
 - INTERRUPCION POR HARDWARE ENMASCARABLE
- Tipos de transmisión serial, asíncrona y síncrona, y las conexiones pertinentes, ej: ETHERNET, I2C, SPI, etc. son síncronas, la USB, COM, BLUETOOTH asíncronas.

Esta unidad comprende los capítulos No.7,11,12 del libro de texto y notas de aula Esta unidad es evaluada en el **Tercer Examen Parcial**

UNIDAD No. 4: “MODO PROTEGIDO”

- Selectores
- Descriptores
- Memoria Virtual
- Ejercicios

Esta unidad comprende el capítulo No. 1 del libro de texto y notas de aula Esta unidad es evaluada en el **Examen Final**, junto a la demás información

BIBLIOGRAFIA

1. Libro de texto:
 - Título: “Los microprocesadores INTEL”
 - Autor: Barry B. Brey
 - Editorial: Prentice Hall
 - Edición: Séptima
2. Libro de Referencia:
 - Internet