

CONTENIDO DEL CURSO: ARQUITECTURA DE COMPUTADORAS 1 / CODIGO: 0778

a) Contenido

UNIDAD No. 1: "ARQUITECTURA DE LOS CPU'S INTEL X86 AL PENTIUM II"

- El CPU básico, arquitectura von Neumann, línea CISC
- Buses genéricos
- Ciclos de trabajo de un CPU
- Administración de memoria lineal
- Historia de los CPU INTEL (tarea d estudio, capítulo 1 libro de texto)
- Arquitectura de los CPU INTEL, específicamente el 286 de INTEL, unidades internas, tamaño de buses, colas de búsqueda y de decodificación, aparición de los 2 modos de direccionamiento de INTEL: modo real y modo protegido
- Banderas de los CPU INTEL, utilización concatenación con software, tipos de banderas: simples y compuestas (carry, zero, parity, etc) (above, below, greather than, less than, etc)
- Importancia del ALU Y REGISTRO BANDERAS JUNTOS, en la implementación de rombos de decisión.
- Organización de los registros en los CPU INTEL
- Modo de administración por segmentación o modo real
- Modos de direccionamiento: Técnica de clasificación de software no convencional, utilísima para cualificar una tarea sin conocer al CPU a detalle.

Esta unidad comprende los capítulos No. 1,2,3 del libro de texto y notas de aula
Esta unidad es evaluada en el **Primer Examen Parcial**

UNIDAD No. 2: "PROGRAMACION A BAJO NIVEL EN LOS CPU INTEL"

- Instrucciones de movimiento de información de memoria-memoria, memoria-CPU, CPU-memoria, CPU-puertos y viceversa. En plataformas de 8,16 o 32 bits.
- Instrucciones aritméticas y lógicas.
- Instrucciones de salto condicionado y no condicionado. Y los tipos de saltos: Condicionados, No condicionados, Relativos, No relativos, y las banderas involucradas, tanto las simples como las compuestas.
- Instrucciones de entrada y salida a puertos
- Ejercicios de programación a bajo nivel. Con memoria como: ordenamientos, sumas de números grandes de 64 bits almacenados en memoria, entrada y salida de información a puertos, etc.
- Instrucciones de Corrimiento y rotación. Se hace énfasis en que ellas pueden dividir y multiplicar pero con mucho menos tiempo de ocupación del CPU que una de división o multiplicación sin punto flotante.
- Retardos por software. Ejercicios de Aplicación

Esta unidad comprende los capítulos No. 4,5,6 del libro de texto y notas de aula

Esta unidad es evaluada en el **Segundo Examen Parcial**

UNIDAD No. 3: "INTERRUPCIONES Y TRANSMISION SERIAL"

- Técnicas de atención a puertos por parte del CPU:
 - POLLING
 - INTERRUPCION POR SOFTWARE
 - INTERRUPCION POR HARDWARE NO ENMASCARABLE
 - INTERRUPCION POR HARDWARE ENMASCARABLE
- Tipos de transmisión serial, asíncrona y síncrona, y las conexiones pertinentes, ej: ETHERNET, I2C, SPI, etc son síncronas, la USB, COM, BLUETOOTH asíncronas.

Esta unidad comprende los capítulos No.7,11,12 del libro de texto y notas de aula
Esta unidad es evaluada en el **Tercer Examen Parcial**

UNIDAD No. 4: "MODO PROTEGIDO"

- Selectores
- Descriptores
- Memoria Virtual
- Ejercicios

Esta unidad comprende el capítulo No. 1 del libro de texto y notas de aula
Esta unidad es evaluada en el **Examen Final**, junto a la demás información

a) Bibliografía del curso

- Libro de texto:
 - Título: "Los microprocesadores INTEL"
 - Autor: Barry B. Brey
 - Editorial: Prentice Hall
 - Edición: Septima
- Libro de Referencia:
 - Internet

b) Ponderación del curso

• 3 exámenes parciales de 15 puntos c/u	45 puntos
• Exámenes cortos y tareas	04 puntos
• Laboratorio	26 puntos
TOTAL DE ZONA	75 puntos
• Examen final	25 puntos
NOTA FINAL	100 puntos