

NOMBRE DEL CURSO: Arquitectura de Computadores y Ensambladores 1

CODIGO:	778	REDITOS:	5
ESCUELA:	Ciencias y Sistemas	AREA A LA QUE PERTENECE:	Ciencias de la computación
PRE REQUISITO:	796 – Lenguajes Formales y de computación 964 – Organización Computacional	POST REQUISITO:	779 –Arquitectura de computadores y ensambladores 2 970 – Redes de computadoras 1 281- Sistemas Operativos 1
CATEGORIA:	Obligatorio	SEMESTRE:	1ro 2015
CATEDRÁTICO (A):	Otto Rene Escobar Leiva	AUXILIAR:	Luis Sánchez
EDIFICIO:	T-3	SECCIÓN:	A
SALON DEL CURSO:	216	SALON DEL LABORATORIO:	105 T-3
HORAS POR SEMANA DEL CURSO:	4	HORAS POR SEMANA DEL LABORATORIO:	2
DÍAS QUE SE IMPARTE EL CURSO:	Martes y Jueves	DIAS QUE SE IMPARTE EL LABORATORIO:	Viernes
HORARIO DEL CURSO:	10:50AM – 12:30AM.	HORARIO DEL LABORATORIO:	11:00AM – 12:40AM

DESCRIPCIÓN DEL CURSO:

El curso de Arquitectura de Computadores y Ensambladores 1, consiste en la consolidación de los conocimientos adquiridos en Organización Computacional, en la cual el estudiante conoce la lógica booleana, las compuertas lógicas y los componentes electrónicos básicos, llevándolos al siguiente nivel, como lo es el estudio de la arquitectura de los procesadores, principalmente CISC, de la marca Intel (x86). El conocimiento de esta arquitectura, sin embargo, termina siendo la base desde el cual el estudiante conoce y práctica el lenguaje ensamblador, como este lenguaje estructurado será el medio de comunicación que tendrá con el hardware. El estudiante adquirirá los conceptos que le permitirán tener esta comunicación, principalmente las interrupciones, la administración de memoria, buses, registros y el manejo de estos. También se adquirirán los fundamentos de la arquitectura RISC y se trabajará de manera práctica sobre esta, utilizando principalmente la plataforma de desarrollo, de naturaleza abierta Arduino, pero no limitándose a esta.

OBJETIVOS:

- Que el estudiante adquiera conocimientos suficientes de micro procesadores de las líneas CISC y RISC, comparando características para consolidar criterio.
- Que el estudiante conozca los principales procedimientos de manejo y administración de buses, memoria, interrupciones, transmisores de datos, etc.
- Que el estudiante conozca la arquitectura básica de un computador personal, basado en procesador de la marca INTEL, línea CISC.

METODOLOGIA:

- Clase magistral impartida 2 veces por semana.
- Laboratorio Práctico 1 vez a la semana.
- Tareas y evaluaciones complementarias
- Autoestudio.

REQUISITOS:

- Es obligatorio aprobar el proyecto para tener derecho a examen final, se aprueba con 61/100
- Es obligatorio aprobar el laboratorio para tener derecho a examen final, se aprueba con 61/100
- Solo se calificarán exámenes y proyectos de estudiantes asignados en el curso. NO se agregan estudiantes a actas
- La formación de grupos para el laboratorio se hará según indicaciones del catedrático en clase.

EVALUACION:

Aspecto	Valor
3 Evaluaciones Parciales, 14 pts c/u	42
1er parcial, Unidad No. 1, capítulos 1 y 2	
2do parcial, Unidad No. 2, capítulos 3, 4 y 5	
3er parcial, Unidad No. 3, capítulos 6 y 12 y apéndices A y B	
Laboratorio	30
Tareas, actividades en clase y cortos	03

Total de la zona	75
Examen final	<u>25</u>
Nota de Promoción	100

CONTENIDO

Unidad No. 1 Organización de CPUs CISC & RISC

1.1 El CPU Básico CISC Modelo Von Neumann

- 1.1.1 Estructura
- 1.1.2 Bloques funcionales
- 1.1.3 Tipos de buses
- 1.1.4 Ciclos de trabajo

1.2 El CPU RISC, Modelo Harvard

- 1.2.1 El microcontrolador 16FXX
 - 1.2.1.1 Estructura
 - 1.2.1.2 Bloques funcionales

1.3 El CPU Intel 286

- 1.3.1 Estructura interna
- 1.3.2 Colas de trabajo
- 1.3.3 Buses mejorados
- 1.3.4 Registros y uso de los mismos

1.4 Plataforma Arduino

- 1.4.1 Software de usuario asociado
- 1.4.2 Hardware de soporte asociado
- 1.4.3 Cuidados de manejo
 - 1.4.3.1 Ejercicios

1.5 Método de Administración de Memoria en Modelo Real

- 1.5.1 Segmentación
- 1.5.2 Registros de segmento y desplazamiento

Unidad No. 2 Software de Desarrollo Asociado a CPUs CISC & RISC

1.1 Modos de Direccionamiento en CPUs Intel

1.2 Comunicación entre Arduino y la PC 'serial'

1.3 Instrucciones de movimiento, aritméticas y lógicas en Intel

- 1.3.1 MOV
- 1.3.2 ADD
- 1.3.3 SUB
- 1.3.4 Ejercicios

1.4 Salidas y Entradas Digitales a Arduino

- 1.4.1 Pin Mode
- 1.4.2 Digital read
- 1.4.3 Digital write
- 1.4.5 Serial
- 1.4.6 If else
- 1.4.7 Ejercicios

1.5 Instrucciones de Salto

- 1.5.1 JMP
- 1.5.2 JFlag
- 1.5.3 Ejercicios

1.6 Salidas y Entradas Análogas a Arduino

- 1.6.1 Analog READ
- 1.6.2 PWM
- 1.6.3 For next
- 1.6.4 GOTO
- 1.6.5 Ejercicios

1.7 Instrucciones de Rotacion y Traslacion,saltos complejos en CPUs Intel

- 1.7.1 Shift
- 1.7.2 Rotate
- 1.7.3 Jabove
- 1.7.4 JBelow
- 1.7.5 Ejercicios

Unidad No. 3 Procesos de comunicación de CPUs CISC, RISC y Atencion a I/Os

3.1 Polling

3.2 Interrupciones

3.3 Transmision serie

BIBLIOGRAFÍA:

Los microprocesadores INTEL Arquitectura programación e interfaz de los procesadores 8086/8088, 80186/80188, 80286, 80386, 80486, Pentium, Pentium Pro y Pentium II, Barry Brey. Editorial: Prentice Hall, Quinta Edición.

LISTA DE CATEDRÁTICOS

CURSO	SEC	EDI	SALON	INICIO	FIN	L	M	MI	J	V	S	CATEDRATICOS
Arquitectura de computadores y ensambladores 1	A	T-3	216	10:50	12:30		X		X			Ing. Otto Rene Escobar